

⑫ 公開特許公報(A)

平3-91264

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)4月16日

H 01 L 29/784

8728-5F
7735-5FH 01 L 29/78
27/083 0 1 K
3 1 1 C※

審査請求 有 請求項の数 2 (全5頁)

⑮ 発明の名称 入力保護回路を備えた半導体装置

⑯ 特 願 平1-227028

⑰ 出 願 平1(1989)9月1日

⑱ 発 明 者 清 水 満 神奈川県川崎市川崎区駅前本町25番地1 東芝マイクロエレクトロニクス株式会社内

⑲ 発 明 者 桜 井 清 史 神奈川県川崎市川崎区駅前本町25番地1 東芝マイクロエレクトロニクス株式会社内

⑳ 発 明 者 岡 田 芳 夫 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

㉑ 出 願 人 東芝マイクロエレクトロニクス株式会社 神奈川県川崎市川崎区駅前本町25番地1

㉒ 出 願 人 株式会社東芝 神奈川県川崎市幸区堀川町72番地

㉓ 代 理 人 弁理士 鈴江 武彦 外3名

最終頁に続く

明 細 書

1. 発明の名称

入力保護回路を備えた半導体装置

2. 特許請求の範囲

(1) 第1導電型の半導体基板と、

前記基板の表面領域に設けられ外部端子が接続される第2導電型の第1半導体領域及び前記基板の表面領域に設けられ一定電位が印加される第2導電型の第2半導体領域からなり、これら第1、第2半導体領域をコレクタ、エミッタ領域とし、その間に存在する半導体基板をベース領域とする入力保護用のバイポーラトランジスタと、

前記基板の表面領域に設けられた能動素子と、前記バイポーラトランジスタを構成する第1、第2半導体領域のうち前記能動素子に近い側に配置されている方の半導体領域と前記能動素子との間に配置される第1導電型の第3半導体領域とを具備したことを特徴とする入力保護回路を備えた半導体装置。

(2) 前記第3半導体領域は前記入力保護用のバイ

ポーラトランジスタの形成領域を取り囲むように形成されたことを特徴とする請求項1記載の入力保護回路を備えた半導体装置。

3. 発明の詳細な説明

[発明の目的]

(産業上の利用分野)

この発明は外部端子周辺に形成された回路素子の静電破壊を防止するために設けられた入力保護回路を備えた半導体装置に関する。

(従来の技術)

半導体装置では、人体等に帯電した静電気が放電するいわゆるESD(electro static discharge)により、高電圧が入力ピンに印加して内部素子が静電破壊されることがある。この静電破壊を防止するために例えば半導体装置の信号入力用のパッドから内部素子の入力バッファに至るまでの間には第4図の等価回路に示すような入力保護回路が設けられている。

信号入力用のパッド41は、拡散層等による寄生抵抗42および配線層による寄生抵抗43を介して入

力バッファ44の入力端に接続されている。寄生抵抗42と43の間には寄生バイポーラトランジスタ45、46が構成されている。

この両寄生バイポーラトランジスタ45、46の各ベースは基板電位 V_{ss} に保持されており、前記バッド41に加えられたマイナスの静電荷はトランジスタ45を介して電源電圧 V_{cc} に、プラスの静電荷はトランジスタ46を介して接地側の電源電圧 V_{ss} にそれぞれ吸収される。

しかしながら最近、半導体装置の高集積化およびチップサイズの増大に伴って、このような寄生バイポーラトランジスタのパターンエリアはあまり大きくとれなくなっている。これに対してチップサイズの増大に伴ないチップ内の電源線の抵抗等は増大する傾向にあるため、静電放電のような過剰な電流を流す際に、前記寄生バイポーラトランジスタでは十分な電流を流しきれず、すぐ付近の基板上にある回路素子のゲートやジャンクションを破壊してしまう。

— 3 —

前記基板の表面領域に設けられ一定電位が印加される第2導電型の第2半導体領域からなり、これら第1、第2半導体領域をコレクタ、エミッタ領域とし、その間に存在する半導体基板をベース領域とする入力保護用のバイポーラトランジスタと、前記基板の表面領域に設けられた能動素子と、前記バイポーラトランジスタを構成する第1、第2半導体領域のうち前記能動素子に近い側に配置されている方の半導体領域と前記能動素子との間に配置される第1導電型の第3半導体領域とから構成される。

(作用)

この発明では、寄生バイポーラトランジスタの形成領域の外側に形成された第3半導体領域によって、寄生バイポーラトランジスタでは流しきれない過剰な電流を吸収し、寄生バイポーラトランジスタ付近の回路素子の破壊を防止する。

(実施例)

以下、図面を参照してこの発明を実施例により説明する。

— 5 —

(発明が解決しようとする課題)

このように従来では半導体装置の高集積化およびチップサイズの増大に伴って、寄生バイポーラトランジスタのパターンエリアはあまり大きくとれなくなっている。また、チップサイズの増大に伴ない、チップ内の電源線の抵抗等は増大する傾向にあるため、静電放電のような過剰な電流を流す際に、前記寄生バイポーラトランジスタでは十分な電流を流しきれず、すぐ付近の基板上にある回路素子のゲートやジャンクションを破壊してしまうという欠点がある。

この発明は上記のような事情を考慮してなされたものであり、その目的は、静電破壊防止能力が向上する構造の入力保護回路を備えた半導体装置を提供することにある。

[発明の構成]

(課題を解決するための手段)

この発明の半導体装置は、第1導電型の半導体基板と、前記基板の表面領域に設けられ外部端子が接続される第2導電型の第1半導体領域及び

— 4 —

第1図はこの発明に係る入力保護回路を備えた半導体装置の一実施例の構成を示す断面図である。この実施例装置の等価回路は前記第4図に示したものと同様であり、この第1図の場合、入力保護回路における接地電圧 V_{ss} 側の寄生バイポーラトランジスタ48(第4図で図示)の部分の素子構造の断面図を示している。すなわち、P型の半導体基板11の表面領域には、N⁺型の半導体領域12、13、14が互いに分離して形成されている。そのうち1つの半導体領域12は前記寄生バイポーラトランジスタ48のコレクタ領域となるものであり、この領域12は配線を介して外部端子INに接続されている。残りの半導体領域13、14はそれぞれ前記バイポーラトランジスタ48のエミッタ領域となるものであり、これらの各領域は配線を介して接地側の電源電圧 V_{ss} に接続されている。また、前記半導体基板12と13との間及び半導体基板12と14との間付近の半導体基板11は前記寄生バイポーラトランジスタ48のベース領域となる。すなわち、前記寄生バイポーラトランジスタ48は小さなバイポ

— 6 —

ーラトランジスタ・ユニット15が複数集合して構成されている。

一方、前記寄生バイポーラトランジスタ48近傍の半導体基板11の表面領域には、MOSトランジスタのソース、ドレイン領域として使用されるN⁺型の半導体領域16, 17が互いに分離して形成され、さらに両領域16, 17をまたぐように基板上にゲート電極18が形成されている。前記一对の半導体領域16, 17及びゲート電極18からなるMOSトランジスタ19は、同一基板に多数形成されている回路素子の一部であり、この基板11にはこの他図示しない多数の素子が形成されている。ここで、前記MOSトランジスタ19は、外部端子INにESD等の過剰電荷が印加されたときに過剰電荷による影響を最も受けやすい位置に形成されている。このため、この実施例の半導体装置では、前記寄生バイポーラトランジスタ48の形成領域と、前記MOSトランジスタ19の形成領域との間にP型の不純物が高濃度に拡散されたP⁺型の半導体領域20を設けている。

- 7 -

外部端子INの代りに電源電圧V_{cc}が接続されたことである。電源間寄生バイポーラトランジスタ・ユニット21形成領域の近傍に配置されたMOSトランジスタ19の静電破壊を防止するため、前記寄生バイポーラトランジスタ48の形成領域と、前記MOSトランジスタ19の形成領域との間にP型の不純物が高濃度に拡散されたP⁺型の半導体領域22を設け、この領域22を基板11と導電位、すなわち電位V_{ss}に設定している。

第3図はこの発明の一実施例による構成全体を上から見たパターン平面図である。前記第2図のような電源間寄生バイポーラトランジスタそれぞれのコレクタとなる拡散層31、エミッタとなる拡散層32が形成されており、V_{cc}、V_{ss}の各電位が設定されている。P⁺の半導体領域33は、この寄生バイポーラトランジスタ形成領域を取り囲むように形成され、入力保護回路が完成される。このようにすれば、V_{cc}からの過剰な電流を漏らさず吸収し、半導体領域33の外側周辺に散在して形成されている第2図、第3図で示したようなMOS

- 9 -

このように半導体領域20を形成したことによって、寄生バイポーラトランジスタ15のベースとなる基板電位をV_{ss}とすれば、矢印Aの付近にかかるV_{ss}と矢印Bの付近にかかるV_{ss}とが異なるようになる。すなわち、外部入力端子INにESD等の過剰電荷が印加されたときに、寄生バイポーラトランジスタ15では流しきれない電子がP⁺型の半導体領域20中の多数の正孔に捕らえられて、過剰な電流を吸収する。この結果、最も静電破壊されやすい位置に形成されているMOSトランジスタ19の素子破壊を防止できる。

第2図はこの発明に係る入力保護回路を備えた半導体装置の他の実施例の構成を示す断面図である。この実施例回路は高電位側の電源電圧V_{cc}と低電位の電源電圧V_{ss}との間に設けられた入力保護回路にこの発明を実施したものである。図中、48は前記第1図の実施例と同様に互いに分離して形成されたN⁺型の半導体領域12, 13, 14と基板とで形成される寄生バイポーラトランジスタである。第1図と異なっている点は、半導体領域12に

- 8 -

トランジスタ、例えばN⁺の半導体領域34, 35及びゲート電極36からなるMOSトランジスタ37のような回路素子群を一緒に保護することができるので、近傍に形成されている回路素子の静電破壊防止能力がより一層向上する。

〔発明の効果〕

以上説明したようにこの発明によれば、静電破壊耐量が増加し、信頼性の高い入力保護回路を備えた半導体装置を提供することができる。

4. 図面の簡単な説明

第1図はこの発明の一実施例による構成の断面図、第2図は第1図の応用例による構成の断面図、第3図はこの発明の一実施例による構成のパターン平面図、第4図は従来の入力保護回路の構成を示す等価回路図である。

11…P型半導体基板、12, 13, 14, 16, 17, 31, 32, 34, 35…N⁺型半導体領域、15, 21…寄生バイポーラトランジスタ、19, 37…MOSトランジスタ、20, 22, 33…P⁺型半導体領域。

出願人代理人 弁理士 鈴江武彦

- 10 -

第1頁の続き

⑤Int. Cl.⁸

H 01 L 27/06
H 02 H 9/02

識別記号

庁内整理番号

E 7337-5G